

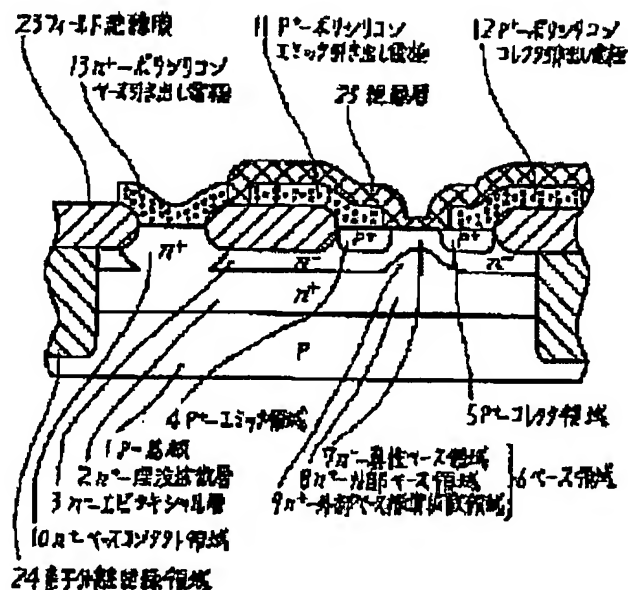
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP5074790
Publication date: 1993-03-26
Inventor: GOTO HIROSHI
Applicant: FUJITSU LTD
Classification:
- International: H01L21/331; H01L29/73
- european:
Application number: JP19910233286 19910912
Priority number(s): JP19910233286 19910912

Report a data error here

Abstract of JP5074790

PURPOSE: To provide a method of manufacturing a semiconductor device which is protected against punch-through, where vertical transistors and lateral transistors are concurrently formed through a manufacturing method excellent in conformity, the lateral transistors are lessened in base region resistance, and a semiconductor device application for a high frequency operation.
CONSTITUTION: In a lateral transistor, a buried layer 2 and an epitaxial layer 3 are formed on a substrate 1, an emitter region 4, a collector region 5, an Intrinsic base region, an outer base compensation diffusion region 9 higher than the epitaxial layer 3 in impurity concentration, and a collector contact region 13 are formed on the epitaxial layer 3, and a field Insulating film 23, an emitter lead-out electrode, a collector lead-out electrode, a base lead-out electrode, and an insulating film 25 are formed on the epitaxial layer 3.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-74790

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁴H01L 21/331
29/73

識別記号

片内整理番号

FI

技術表示箇所

7377-4M

H01L 29/72

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-233286

(22)出願日 平成3年(1991)9月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 後藤 広志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

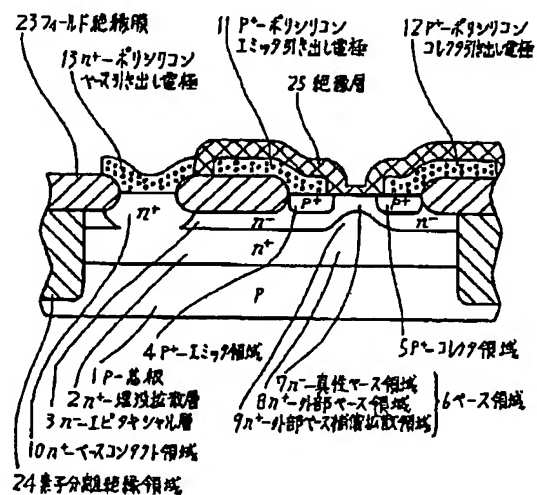
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】本発明は、縦型トランジスタと同時に横型トランジスタを形成する、整合性のよい製造方法を用いても、横型トランジスタのベース領域6の抵抗率を低減し、高周波動作に適応した半導体装置の作製を行い、かつ、パンチスルーを防止した半導体装置及びその製造方法を提供することを目的とする。

【構成】横型トランジスタであって、基板1上に埋没拡散層2及びエピタキシャル層3が形成され、エピタキシャル層3にエミッタ領域4と、コレクタ領域5と、真性ベース領域7と、エピタキシャル層3より不純物濃度を高くした外部ベース補償拡散領域9及びコレクタコンタクト領域13とが形成され、エピタキシャル層3上にフィールド絶縁膜23とエミッタ引き出し電極と、コレクタ引き出し電極と、ベース引き出し電極と、絶縁膜25とが形成されている。

横型トランジスタの実施例図



(2)

特開平5-74790

1

【特許請求の範囲】

【請求項1】基板(1)上に順次形成された高濃度一導電型の埋没拡散層(2)及び低濃度一導電型エピタキシャル層(3)と、
該エピタキシャル層(3)に互いに離隔して配置された反対導電型のエミッタ領域(4)及びコレクタ領域(5)と、

該エピタキシャル層(3)の前記エミッタ領域(4)とコレクタ領域(5)とはさまれた真性ベース領域(7)となる領域の直下に、不純物濃度を該エピタキシャル層(3)の不純物濃度より高く形成した外部ベース補償拡散領域(9)とを備えた横型トランジスタを有することを特徴とする半導体装置。

【請求項2】該外部ベース補償拡散領域(9)が、該真性ベース領域(7)表面から外部ベース領域(8)となる埋没拡散層(2)にまでまたがって形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】基板(1)上に順次高濃度一導電型埋没拡散層(2)及び低濃度一導電型エピタキシャル層(3)を形成する工程と、

該エピタキシャル層(3)のうち横型トランジスタ形成予定領域においてはエミッタ領域(4)を形成予定領域とコレクタ領域(5)を形成予定領域にはさまれた第一の領域に、縦型トランジスタ形成予定領域においてはそのエミッタ領域(14)の形成予定領域直下の第二の領域に一導電型の不純物を同時に該基板(1)に導入し、該第一の領域の不純物濃度を他の該エピタキシャル層

(3)より高くした外部ベース補償拡散領域(9)を形成し、前記第二の領域には、そのベース領域(17)の形成予定領域底部から前記埋没拡散層(2)に達する高濃度コレクタ領域(15)を形成する工程と、

横型トランジスタ形成予定領域の該エピタキシャル層(3)には、互いに離隔して配置されたエミッタ領域(4)及びコレクタ領域(5)を形成し、縦型トランジスタ形成予定領域の該エピタキシャル層(3)にはベース領域(17)を形成する工程と、

前記縦型トランジスタ形成予定領域の前記ベース領域(17)の前記高濃度コレクタ領域(15)に対応する部分に一導電型のエミッタ領域(14)を形成する工程とを少なくとも有することを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、特にエミッタ領域とコレクタ領域とベース領域との並び方向を基板の面に対し水平にした横型トランジスタを有する半導体装置及びその製造方法に関する。

【0002】近年、LSIの多機能化や低消費電力化をはかる手段として共通の基板にNPNトランジスタとP

2

NPNトランジスタとを組合わせたトランジスタが検討されてきたが、通常、工程数を削減するため、一方を縦型、他方を横型にしたものが作製されていた。

【0003】しかし、横型トランジスタにおけるベース抵抗が大きく、高周波動作に対応できないといった問題点があった。このため、横型トランジスタの性能の向上が要求されている。

【0004】

【従来技術】図4に従来の横型トランジスタの一例を示す。図4はPNPトランジスタの場合で、1は導電型pの半導体基板、2はn⁺の埋没拡散層、3はn⁻のエピタキシャル層、4はp⁺のエミッタ領域、5はp⁺のコレクタ領域、6はベース領域、7はn⁻の真性ベース領域、8はn⁺の外部ベース領域、10はn⁺のベースコンタクト領域、11はp⁺のポリシリコンのエミッタ引き出し電極、12はp⁺のポリシリコンのコレクタ引き出し電極、13はn⁺のポリシリコンのベース引き出し電極、23はフィールド絶縁膜、24は素子分離絶縁領域、25は絶縁膜である。

【0005】一般に横型トランジスタは図4のごとく、エミッタ領域4と、コレクタ領域5と、ベース領域6とが基板1の面に対し水平方向に隣接して形成されることを特徴としている。

【0006】また、図4からわかるように、エピタキシャル層3は埋没拡散層2上に基板1と平行に形成されたのち、エピタキシャル層3上にエミッタ領域4及びコレクタ領域5を形成するため、エピタキシャル層3が真性ベース領域7及び真性ベース領域7直下の外部ベース領域8となっていた。

【0007】

【発明が解決しようとする課題】図4に示されるように、縦型トランジスタと同一工程で横型トランジスタの形成を行う場合、縦型トランジスタの工程にあわせて横型トランジスタの形成を行っていたため、横型トランジスタの真性ベース領域7の不純物分布は最適化された状態ではなかった。すなわち、通常、真性ベース領域7の不純物濃度は縦型トランジスタのコレクタ領域15の濃度と同じに設定されるので、真性ベース領域7及びその直下の外部ベース領域8の不純物濃度が低くなっていた。それによって、横型トランジスタのベース領域6の抵抗率が高くなり、その結果、高周波動作に不適当な横型トランジスタしかできず、性能のすぐれた相補型接続された出力トランジスタの実現ができないといった問題点があった。

【0008】従って、本発明は縦型トランジスタと横型トランジスタが同一基板上に形成された半導体装置において、縦型トランジスタとの整合性がすぐれたまま、横型トランジスタのベース領域6の抵抗率を低減させ、高周波動作に適した横型トランジスタを提供することを目的とする。

50

3

【0009】

【課題を解決するための手段】図1のように、本発明は、基板1に不純物濃度が高い埋没拡散層2及び不純物濃度が低いエピタキシャル層3が堆積し、エピタキシャル層3にエミッタ領域4とコレクタ領域5とベース領域6とが基板1の面に対し水平方向に隣接している縦型トランジスタの基本構造のもとで、真性ベース領域7直下のエピタキシャル層3に形成された、外部ベース補償拡散層9と、エピタキシャル層3よりも不純物濃度を高くした真性ベース領域8とを設けることにより、真性ベース領域7直下の不純物濃度が低い外部ベース領域8の不純物濃度を高くしている。

【0010】

【作用】図1のように、本発明では、外部ベース補償拡散領域9の形成によって、真性ベース領域7直下の外部ベース領域8の不純物濃度を高くするため、 n^- 真性ベース領域7から n^+ 外部ベース領域8に至る抵抗が低減できる。

【0011】また、図3のように、縦型トランジスタと横型トランジスタを同一基板上に形成するような場合、この外部ベース補償拡散領域9の形成を適当な工程で行えば、真性ベース領域7の不純物分布の最適化が行える。さらに、縦型トランジスタの真性ベース領域7の直下に形成される不純物濃度の高いコレクタ領域14の形成と同時に、横型トランジスタの真性ベース領域7の直下に、外部ベース補償拡散領域9の形成を行えば、横型トランジスタの製造工程を増加させることなく、横型トランジスタを形成することができる。

【0012】

【実施例】図1に、本発明の横型トランジスタの実施例を示す。図1は横型PNPトランジスタの場合で、図4と同一符号は同一対象物を示し、その説明は省略する。図4と最も異なる本発明のポイントは9で示された部分で、この9は真性ベース領域7直下の不純物濃度が低い領域を高濃度にするによって形成された、外部ベース補償拡散領域で、例えば $400 [keV] \cdot 1 \times 10^{11} [cm^{-2}]$ のイオン注入によって形成する。

【0013】図3に本発明の縦型トランジスタと横型トランジスタを組み合わせた半導体装置における実施例を示す。図3は縦型PNPトランジスタと横型PNPトランジスタを同一基板上に形成した場合で、図1と同一符号は同一対象物を示し、縦型トランジスタに関しては、14は n^+ のエミッタ領域、15は n^+ のコレクタ領域、16は n^+ のコレクタコンタクト領域、17はベース領域、18は p の真性ベース領域、19は p^+ の外部ベース領域、20は n^+ のポリシリコンのエミッタ引き出し電極、21は n^+ のポリシリコンのコレクタ引き出し電極、22は p^+ のポリシリコンのベース引き出し電極を示す。

【0014】以下に図3における実施例の工程を示す。

【1】 公知の方法により基板1上に不純物濃度が 10^{19}

(3)

特開平5-74790

4

$\sim 10^{19} [/ CC]$ 程度の n 型の埋没拡散層2を形成する。

【2】 CVD法により縦横両トランジスタの埋没拡散層2上に厚さ $0.5 \sim 1.0 [\mu m]$ 程度で、不純物濃度が $10^{19} \sim 10^{21} [/ CC]$ 程度の n 型のエピタキシャル層3を成長させる。

【3】 選択熱酸化法によりエピタキシャル層3上の所定の領域にフィールド絶縁膜23を形成する。

【4】 公知の方法により素子分離絶縁領域24を素子と素子の間に形成する。

【5】 イオン注入により、縦型トランジスタの n^+ コレクタコンタクト領域16及び、横型トランジスタの n^+ ベースコンタクト領域10を形成する。

【6】 CVD法により全面に p^- にドーブしたポリシリコン膜及び絶縁膜25を形成し、一般的にリングラフィー工程により、該ポリシリコン膜及び絶縁膜25を連続的にエッチングし、縦型トランジスタのベース引き出し電極22と、横型トランジスタのエミッタ引き出し電極11及びコレクタ引き出し電極12とを形成する。さらにCVD法により全面に絶縁膜25を形成後、縦型トランジスタの真性ベース領域18上及び横型トランジスタの真性ベース領域7上の絶縁膜25をRIE法により除去することによってエミッタ窓及びベース窓を形成する。このとき縦型トランジスタのベース引き出し電極22と、横型トランジスタのエミッタ引き出し電極11及びコレクタ引き出し電極12には絶縁膜25の側壁が形成される。

【7】 エミッタ及びベース窓内にイオン注入用のスクリーン酸化膜を熱酸化により形成し、絶縁膜25をマスクとして、 P を $400 [keV] \cdot 1 \times 10^{19} [cm^{-2}]$ のイオン注入により、縦型トランジスタのコレクタ領域15と、横型トランジスタの外部ベース補償拡散領域9とを形成する。

【8】 絶縁膜25をマスクとして、エミッタ窓よりイオン注入によって、縦型トランジスタの真性ベース領域18を形成する。

【9】 異方性エッチングによりスクリーン酸化膜を除去する。但し、横型トランジスタのベース領域上の部分のスクリーン酸化膜は除去しない。

【10】 CVD法により n^+ にドーブしたポリシリコン層を堆積し、パターンニングにより縦型トランジスタのエミッタ引き出し電極20及びコレクタ引き出し電極21と、横型トランジスタのベース引き出し電極13とを形成する。

【11】 熱処理により、縦型トランジスタのエミッタ引き出し電極20の n 型不純物が、縦型トランジスタの真性ベース領域17に拡散して縦型トランジスタのエミッタ領域14となり、縦型トランジスタのベース引き出し電極22の p 型不純物が拡散して縦型トランジスタの真性ベース領域18につながる縦型トランジスタの外部ベース領域19となり、横型トランジスタのエミッタ引き出し電極11の

(4)

特開平5-74790

5

p型不純物が、拡散して横型トランジスタのエミッタ領域4となり、横型トランジスタのコレクタ引き出し電極12のp型不純物が、拡散して横型トランジスタのコレクタ領域5となる。

【0015】以上の工程によって本発明の横型PNPトランジスタと、縦型NPNトランジスタの両方が形成できる。この方法では横型トランジスタのみの工程はなく、縦型トランジスタを単独で形成する場合にくらべ、工程数は増えることはない。

【0016】さらに、この実施例では、横型トランジスタのエミッタ領域4及びコレクタ領域5と、外部ベース補償拡散領域9とが同一のマスクパターンで定まるため、位置ずれがなく、また、横型トランジスタのエミッタ引き出し電極10及びコレクタ引き出し電極12を覆う絶縁膜25をマスクとして、イオン注入を行って、外部ベース補償拡散領域9を形成するので、マスクの位置合わせが不要になり、製造工程が簡略になる。

【0017】ここでは、縦型トランジスタとの整合性を示すためNPNトランジスタとPNPトランジスタの両方の形成について挙げたが、横型トランジスタを単独で形成する場合は、上記の製造方法の内、縦型トランジスタのみの工程を除いた工程によって、本発明の横型トランジスタを形成できる。

【0018】また、図2のように、真性ベース領域の不純物濃度もエビタキシャル層の不純物濃度より高くすることによって、空乏層のひとがりを防ぎ、パンチスルーを防ぐことができる。

【0019】以下にその具体例を示す。図5は上記のような外部ベース補償拡散領域9及び真性ベース領域7を形成して、パンチスルーを防ぐ場合の真性ベース領域7付近の濃度分布で、直線C上(Y座標 1.0[μm])がエミッタ領域4とエミッタ引き出し電極11及びコレクタ領域5とコレクタ引き出し電極12との境界面(図2における直線Dに対応)である。ポリシリコンをp型にするときのイオン注入条件はBを35[k e V]・3.3×10¹³[cm⁻²]であり、外部ベース補償拡散領域9及び真性ベース領域7を形成時のイオン注入の条件はPを150[k e V]・4×10¹³[cm⁻²]及び400[k e V]・1×10¹³[cm⁻²]であり、アニールの条件は1100[°C]・10[s]である。なお、図6・図7は深さ[μm]と不純物濃度[1/CC]のグラフで、図8は図5におけるエミッタ領域4を通る直線A上(X座標 0.0[μm])、また、図7では図5における真性ベース領域7を通る直線B上(X座標 0.6[μm])のグラフである。深さは図5における直線C上(Y座標 1.0[μm])を0とし、そこからの距離をあらわしている。

【0020】図8にコレクタ電流と電流増幅率及び遮断周波数とのグラフを示す。図8から分かるように、約10の電流増幅率が得られており、従来の横型トランジスタの増幅率が約2〜3であることから、顕著な効果がある

6

ことが分かる。さらに、遮断周波数では1[GHz]を超える値を得ており、高周波動作に対応するという目的が達せられたことが分かる。

【0021】ただし、図8はエミッタ幅・コレクタ幅・ベース幅を0.4[μm]、各窓の長さを10[μm]、コレクタベース電圧を0[V]にした場合のグラフである。

【0022】なお、必ずしも縦型トランジスタのコレクタ領域15をエビタキシャル層3の不純物濃度より高くする必要はないが、このことによって、カーク効果を抑制して遮断周波数を向上させるので、縦型トランジスタのコレクタ領域15をエビタキシャル層3の不純物濃度より高くしない場合に比べよりよい効果がえられる。また、ここでは縦型トランジスタをNPN、横型トランジスタをPNPにしたが、縦型トランジスタをPNP、横型トランジスタをNPNにした場合も同様の工程によって形成でき、また、エミッタとコレクタとが逆になってもよい。但し、縦型トランジスタではエミッタとベースの接する面の面積が、コレクタとベースの接する面の面積より小さい方が注入効率がよくなるので、本発明の実施例のような位置関係になるように、エミッタ領域4及びコレクタ領域5を形成するほうがよい。

【0023】

【発明の効果】以上説明したように、本発明によれば、縦型トランジスタと横型トランジスタを同一基板上に形成する半導体装置において、横型トランジスタの真性ベース領域の直下に、高濃度の外部ベース補償拡散領域9を適当に形成することによって真性ベース領域7の不純物分布を最適化することによって、横型トランジスタのベース領域8の抵抗率を低減することができるため、高周波動作に適応した半導体装置の作製が可能となる。

【0024】また、パンチスルーのおこる場合も、エビタキシャル層3より真性ベース領域7の不純物濃度を高くすることによってパンチスルーを防ぐことができる。従って、性能がよく、高周波動作にも対応し、多機能で低消費電力であるLSIの実現に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の横型トランジスタの実施例図

【図2】本発明のパンチスルーを防ぐ場合の横型トランジスタの実施例図

【図3】本発明の縦型トランジスタと組み合わせた場合の横型トランジスタの実施例図

【図4】横型トランジスタの従来例図

【図5】本発明のパンチスルーを防ぐ場合の横型トランジスタにおける真性ベース領域周辺の不純物濃度の分布図

【図6】本発明のパンチスルーを防ぐ場合の横型トランジスタの真性ベース領域下の不純物の濃度変化を示す図

【図7】本発明のパンチスルーを防ぐ場合の横型トラン

(5)

特開平5-74790

7

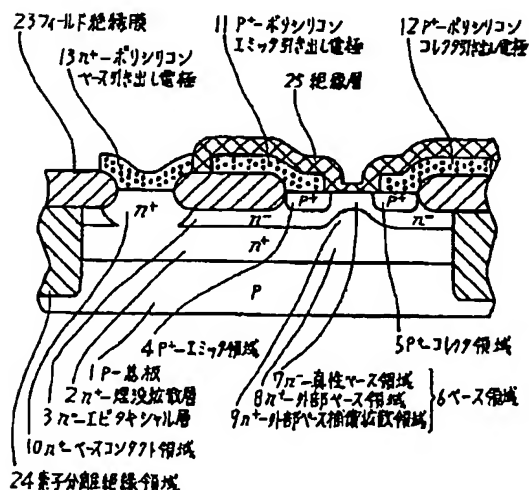
ジスタのコレクタ領域下の不純物の濃度変化を示す図
 【図8】本発明のパンチスルーを防ぐ場合の横型トランジスタにおけるコレクタ電流と遮断周波数及び電流増幅率との関係図

【符号の説明】

- 1 基板
- 2 埋没拡散層
- 3 エピタキシャル層
- 4 エミッタ領域
- 5 コレクタ領域
- 6 ベース領域
- 7 真性ベース領域
- 8 外部ベース領域
- 9 外部ベース補償拡散領域
- 10 ベースコンタクト領域

【図1】

横型トランジスタの実施例図

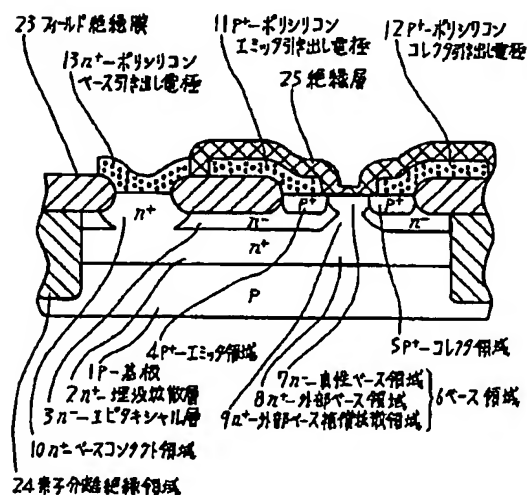


8

- * 11 エミッタ引き出し電極
- 12 コレクタ引き出し電極
- 13 ベース引き出し電極
- 14 エミッタ領域
- 15 コレクタ領域
- 16 コレクタコンタクト領域
- 17 ベース領域
- 18 真性ベース領域
- 19 外部ベース領域
- 10 20 エミッタ引き出し電極
- 21 コレクタ引き出し電極
- 22 ベース引き出し電極
- 23 フィールド絶縁膜
- 24 素子分離絶縁領域
- * 25 絶縁膜

【図2】

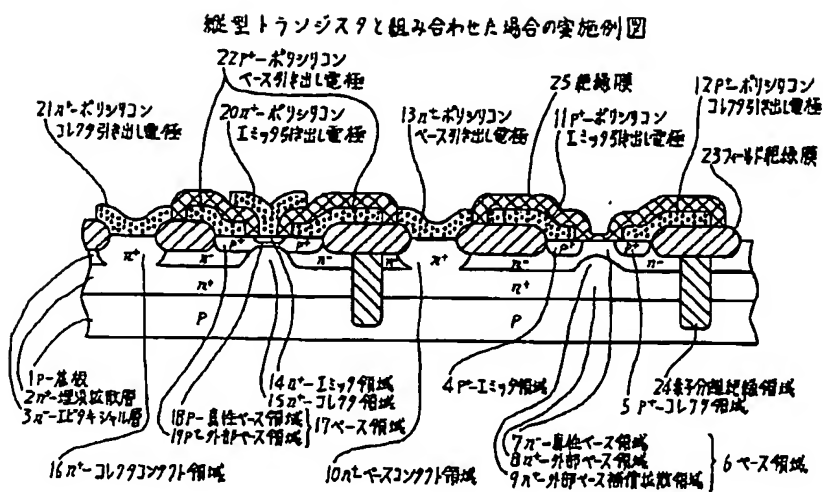
パンチスルーを防ぐ場合の横型トランジスタの実施例図



(6)

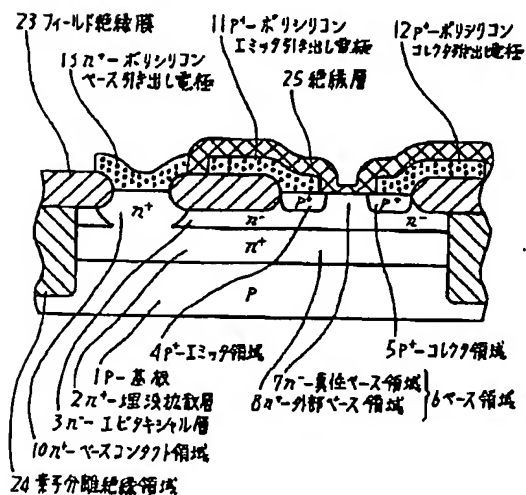
特開平5-74790

【図3】

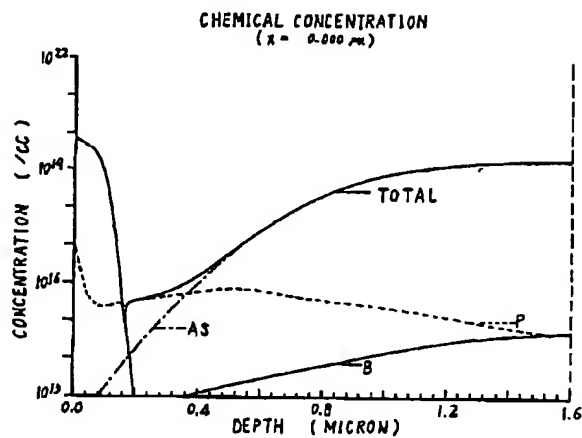


【図4】

横型トランジスタの従来例図

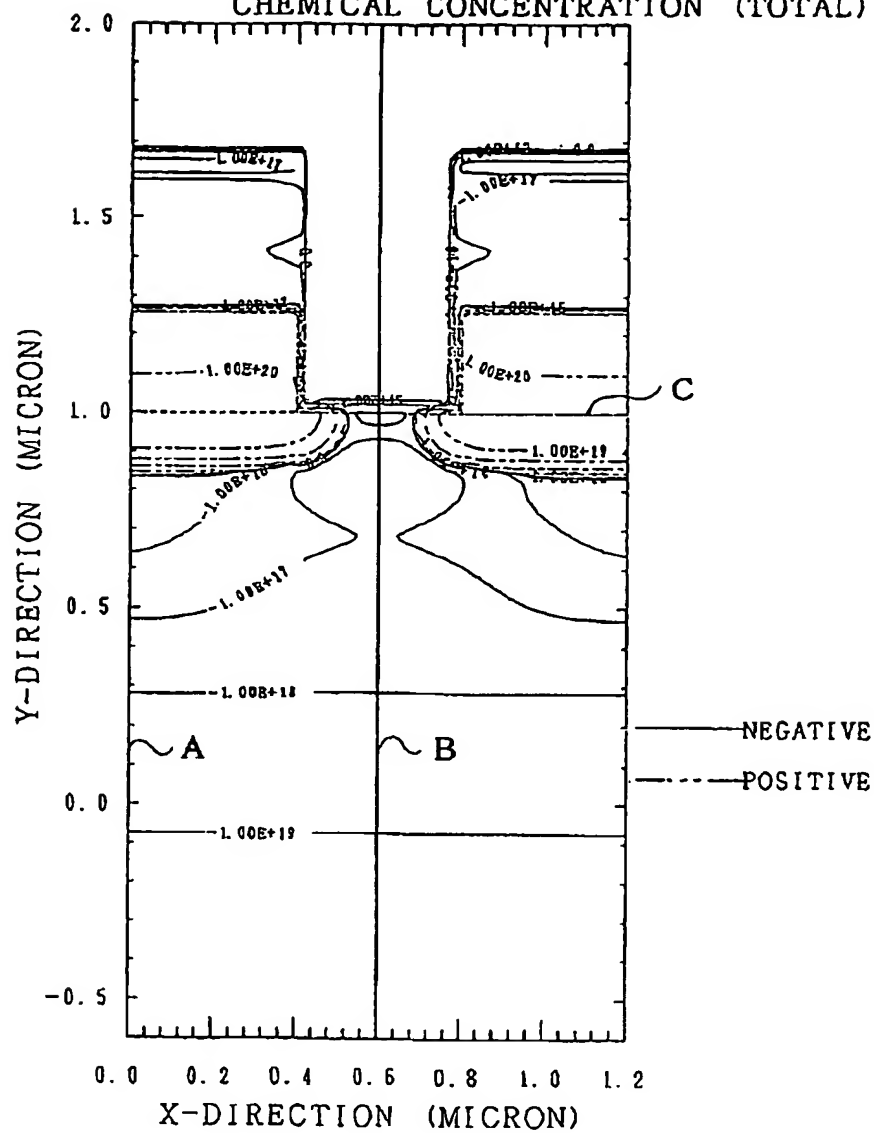


【図6】



特開平5-74790

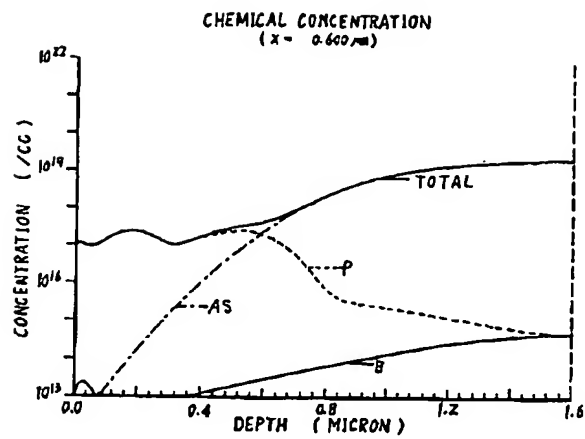
CHEMICAL CONCENTRATION (TOTAL)



(8)

特開平5-74790

【図7】



【図8】

コレクタ電流と遮断周波数及び電流増幅率との関係図

